

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000156464 A

(43) Date of publication of application: 06 . 06 . 00

(51) Int. Cl

H01L 25/065  
H01L 25/07  
H01L 25/18  
H01L 21/60  
H01L 23/50

(21) Application number: 10330452

(22) Date of filing: 20 . 11 . 98

(71) Applicant:

HITACHI LTD HITACHI ULSI  
SYSTEMS CO LTD

(72) Inventor:

WADA TAMAKI  
MASUDA MASACHIKA  
IDE TAKUJI  
FUJIOKA SHUNICHIRO

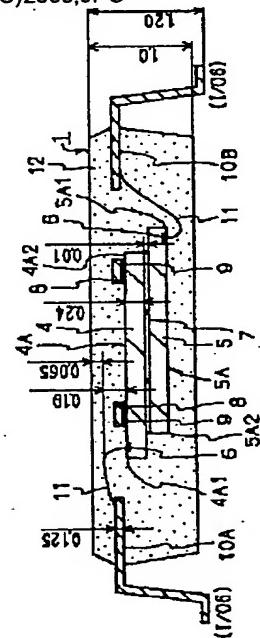
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

COPYRIGHT: (C)2000,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To laminate a plurality of semiconductor chips, sealing them with a resin-sealing body, and make thin a semiconductor device by adhering and fixing first and second semiconductor chips while the surface and backside face each other and the positions are shifted in the direction that orthogonally crosses the arrangement direction of an electrode.

SOLUTION: Semiconductor chips 4 and 5 are adhered and fixed via an adhesive layer 7 while the backsides face each other so that the other long side 4A2 of the semiconductor chips and one long side 5A1 face the side of a lead 10B. Then, the laminates of the semiconductor chips 4 and 5 are supported by a support lead 8, and the support lead 8 is adhered and fixed to a main surface 4A of the semiconductor chip 4 via the adhesive layer 8. As a result, no tabs exist between the semiconductor chips 4 and 5 and at the same time only one adhesive layer exists, thus reducing distance from the main surface 4A of the semiconductor chip to a main surface 5A.



①

## 類似技術

3

○

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-156464

(P2000-156464A)

(1)

(43)公開日 平成12年6月6日(2000.6.6)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	マーク〇(参考)
H 01 L 25/065		H 01 L 25/08	.B 5 F 0 4 4
25/07		21/60	3 0 1 M 5 F 0 6 7
25/18			3 0 1 N
21/60	3 0 1	23/50	Q X

審査請求 未請求 請求項の数4 OL (全15頁) 最終頁に統く

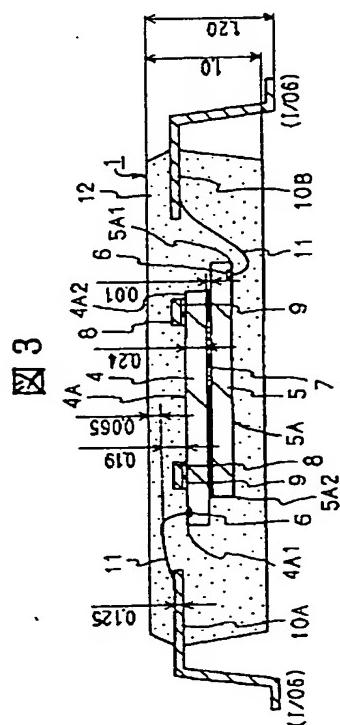
(21)出願番号	特願平10-330452	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成10年11月20日(1998.11.20)	(71)出願人	000233169 株式会社日立超エル・エス・アイ・システムズ 東京都小平市上水本町5丁目22番1号
		(72)発明者	和田 環 東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内
		(74)代理人	100083552 弁理士 秋田 収喜
			最終頁に統く

(54)【発明の名称】 半導体装置の製造方法

## (57)【要約】

【課題】 半導体装置の薄型化を図る。組立工程における作業性を向上する。

【解決手段】 半導体基板の主面の第一辺に沿って複数のパッドが配列された第1及び第2の2つの半導体チップを準備し、第1及び第2の各チップを、第1チップの第1辺と第2チップの第1辺とが反対側になるように主面と反対側の面(裏面)同志を向い合せ、かつ電極の配列方向と直交する方向に位置をずらした積層状態で接着固定し、接着固定された第1及び第2のチップの積層体の第1チップの主面に支持リードを接着固定し、第1チップの各パッドとリードフレームの表側識別記号を有するリードのインナー部とを導電性のワイヤを介して電気的に接続し、第2チップの各パッドとリードフレームの裏側識別記号を有するリードのインナー部とを導電性のワイヤを介して電気的に接続し、第1及び第2のチップ、ワイヤならびにリードのインナー部を樹脂により封止する半導体装置の製造方法である。



## 【特許請求の範囲】

【請求項1】 方形状の半導体基板の回路形成面の第一辺に沿って複数の外部電極（パッド）が配列された第1及び第2の2つの半導体チップを準備する工程と、前記第1及び第2の半導体チップの夫々を、前記第1半導体チップの第1辺と前記第2半導体チップの第1辺とが反対側になるように、前記回路形成面（表面）と反対側の面（裏面）同志を向い合せ、かつ前記外部電極の配列方向と直交する方向に位置をずらした積層状態で接着固定する工程と、該接着固定された第1及び第2の半導体チップの積層体の前記第1半導体チップの回路形成面に支持リードを接着固定する工程と、前記第1半導体チップの各外部電極と表面識別記号のリードフレームのリードのインナー部とを導電性のワイヤを介して電気的に接続する工程と、前記第2半導体チップの各外部電極と裏面識別記号のリードフレームのリードのインナー部とを導電性のワイヤを介して電気的に接続する工程と、前記第1及び第2の半導体チップ、ワイヤならびにリードのインナー部を樹脂により封止する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項2】 前記支持リードは、電源リード又はGNDリードと兼用する構造であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記支持リードの接着固定位置がリードの高さと同一平面にあることを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【請求項4】 前記リードのアウター部は、前記樹脂封止体の厚さ方向において、樹脂封止体の中心線を含む水平面よりも上方向の位置に設けられていることを特徴とする請求項1乃至3のうちいずれか1項に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、特に、二つの半導体チップを積層し、この二つの半導体チップを一つの樹脂封止体で封止する半導体装置の製造方法に適用して有効な技術に関するものである。

## 【0002】

【従来の技術】記憶回路システムの大容量化を図る目的として、記憶回路システムが構成された二つの半導体チップを積層し、この二つの半導体チップを一つの樹脂封止体で封止する積層型半導体装置が提案されている。例えば、特開平7-58281号公報にはLOC(Lead On Chip)構造の積層型半導体装置が開示されている。また、特開平4-302165号公報にはタブ構造の積層型半導体装置が開示されている。

## 【0003】LOC構造の積層型半導体装置は、表裏面

のうちの表面である回路形成面に複数の外部電極（パッド）が形成された第1半導体チップ及び第2半導体チップと、第1半導体チップの回路形成面に絶縁性フィルムを介在して接着固定されると共に、その回路形成面の外部電極（以下、単に電極と称す）に導電性のワイヤを介して電気的に接続される複数の第1リードと、第2半導体チップの回路形成面（以下、単に主面と称する）に絶縁性フィルムを介在して接着固定されると共に、その主面の電極に導電性のワイヤを介して電気的に接続される複数の第2リードと、第1半導体チップ、第2半導体チップ、第1リードのインナー部、第2リードのインナー部及びワイヤ等を封止する樹脂封止体とを有する構成になっている。第1半導体チップ、第2半導体チップの夫々は、夫々の主面を互いに対向させた状態で積層されている。第1リード、第2リードの夫々は、夫々の接続部を互いに重ね合わせた状態で接合されている。

【0004】タブ構造の積層型半導体装置は、タブ（ダイパッドとも言う）の表裏面のうちの表面に接着層を介して固定される第1半導体チップと、タブの裏面に接着層を介して固定される第2半導体チップと、第1半導体チップ、第2半導体チップのうち何れか一方の半導体チップの電極に導電性のワイヤを介して電気的に接続される複数の専用リードと、第1半導体チップ、第2半導体チップの夫々の電極に導電性のワイヤを介して電気的に接続される複数の共通リードと、第1半導体チップ、第2半導体チップ、専用リードのインナー部、共通リードのインナー部及びワイヤ等を封止する樹脂封止体とを有する構成になっている。第1半導体チップ、第2半導体チップの夫々の電極は、主面において互いに対向する二つの長辺側に夫々の長辺に沿って形成されている。専用リード、共用リードの夫々は、半導体チップの二つの長辺の夫々の外側に配置されている。

## 【0005】

【発明が解決しようとする課題】本発明者等は、積層型半導体装置の開発に先立ち、以下の問題点に直面した。LOC構造では二枚のリードフレームを用いて製造するため、製造コストが高くなる。一方、タブ構造では一枚のリードフレームで製造することができるが、ミラー反転回路パターンの半導体チップを用いる必要があるため、タブ構造においても製造コストが高くなる。タブ構造では、タブの表裏面に夫々の裏面が向い合うようにして二つの半導体チップを搭載するため、主面の互いに対向する二つの長辺の夫々の辺側に電極を形成する場合、上側の半導体チップの電極に対して下側の半導体チップの電極が左右逆になる。

【0006】そこで、一辺側に電極が形成された二つの半導体チップを使用し、一方の半導体チップの一辺側が他方の半導体チップの一辺側に対して反対側に位置するよう二つの半導体チップをタブの表裏面に搭載するこにより、ミラー反転回路パターンの半導体チップが不

要になるので、タブ構造における製造コストの低減化を図ることができる。

【0007】しかしながら、タブ構造では樹脂封止体の厚さが厚くなり、樹脂封止体の厚さが1.0~1.1mm厚のT S O P (Thin Small Outline Package) 型で積層型半導体装置を構成することが困難である。即ち、タブ構造では、タブの表面及び裏面に半導体チップを搭載する構成になっていることから、上側の半導体チップと下側の半導体チップとの間にタブが存在し、上側の半導体チップの正面から下側の半導体チップの正面までの距離が増加するので、樹脂封止体の厚さが厚くなる。更に、タブの表面及び裏面に半導体チップを搭載する構成になっていることから、上側の半導体チップと下側の半導体チップとの間に二つの接着層が存在し、上側の半導体チップの正面から下側の半導体チップの正面までの距離が増加するので、樹脂封止体の厚さが厚くなる。本発明者等の検討によれば、半導体チップの厚さを0.1725~0.2mmに薄くすることにより、樹脂封止体の厚さを1.0~1.1mm以下にすることができるが、このような場合、半導体チップの機械的強度が低下するので、半導体チップに亀裂、破損等の不具合が発生し易くなる。特に、半導体ウエーハを複数のチップに分割するダイシング工程時や、タブに半導体チップを搭載するダイボンディング工程時に多発する。

【0008】また、タブ構造では、半導体チップの電極とワイヤとの接続不良が発生し易い。即ち、タブの表面及び裏面に半導体チップを搭載した後ではタブをヒートステージに接触させることができないため、ヒートステージの熱が有効に伝達されず、半導体チップの電極とワイヤとの接続不良が発生し易い。

【0009】本発明の目的は、二つの半導体チップを積層し、この二つの半導体チップを一つの樹脂封止体で封止する半導体装置の薄型化を図ることが可能な技術を提供することにある。本発明の他の目的は、二つの半導体チップを積層し、この二つの半導体チップを一つの樹脂封止体で封止する半導体装置において、リードフレーム一個で二つの半導体チップに設けられた電極に対応することができる技術を提供することにある。

【0010】本発明の他の目的は、半導体装置の組立工程における作業性を向上することが可能な技術を提供することにある。本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

#### 【0011】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

(1) 方形状の半導体基板の正面の第一辺に沿って複数の電極(パッド)が配列された第1及び第2の2つの半導体チップを準備する工程と、前記第1及び第2の半導

体チップの夫々を、前記第1半導体チップの第1辺と前記第2半導体チップの第1辺とが反対側になるように、前記正面と反対側の面(裏面)同志を向い合せ、かつ前記電極の配列方向と直交する方向に位置をずらした積層状態で接着固定する工程と、該接着固定された第1及び第2の半導体チップの積層体の前記第1半導体チップの正面に支持リードを接着固定する工程と、前記第1半導体チップの各電極と表面識別記号のリードフレームのリードのインナー部とを導電性のワイヤを介して電気的に接続する工程と、前記第2半導体チップの各電極と裏面識別記号のリードフレームのリードのインナー部とを導電性のワイヤを介して電気的に接続する工程と、前記第1及び第2の半導体チップ、ワイヤならびにリードのインナー部を樹脂により封止する工程とを備えた半導体装置の製造方法である。

【0012】(2) 前記支持リードは、電源リード又はGNDリードと兼用する構造である。

(3) 前記支持リードの接着固定位置がリードの高さと同一平面にある。

【0013】(4) 前記リードのアウタリードは、前記樹脂封止体の厚さ方向において、樹脂封止体の中心線を含む水平平面よりも上方向の位置に設けられている。

【0014】(実施形態1) 本実施形態では、二方向リード配列構造であるT S O P型の半導体装置に本発明を適用した例について説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0015】図1、図2及び図3に示すように、本実施形態の半導体装置1は、半導体基板の正面(表面)を有する第1半導体チップ4を第2半導体チップ5の上に積層し、この第1半導体チップ4及び第2半導体チップ5を一つの樹脂封止体12で封止した構成になっている。

【0016】前記第1半導体チップ4及び5は、前記第1半導体チップ4の第1辺と前記第2半導体チップ5の第1辺とが反対側になるように正面(表面)と反対側の面(裏面)同志を向い合せ、かつ前記電極の配列方向と直交する方向に位置をずらした積層状態で接着固定されている。前記第1半導体チップ4及び5の夫々は、同一

5

の外形寸法で形成されている。また、半導体チップ4、5の夫々の平面形状は方形状で形成され、本実施形態においては、例えば長方形で形成されている。

【0017】半導体チップ4、5の夫々は、例えば、単結晶珪素からなる半導体基板及びこの半導体基板上に形成された多層配線層を主体とする構成になっている。この半導体チップ4、5の夫々には、記憶回路システムとして、例えばフラッシュメモリと呼称される64メガビットのEEPROM (Electrically Erasable Programmable Read Only Memory) が構成されている。

【0018】半導体チップ4の表裏面のうちの表面である主面4Aにおいて、その互いに対向する二つの長辺のうちの一方の長辺4A1側にこの一方の長辺4A1に沿って複数の電極(ポンディングパッド)6が形成されている(図1及び図3参照)。この複数の電極6の夫々は、半導体チップ4の多層配線層のうちの最上層の配線層に形成されている。最上層の配線層はその上層に形成された表面保護膜(最終保護膜)で被覆され、この表面保護膜には電極6の表面を露出するポンディング開口が形成されている。

【0019】半導体チップ5の表裏面のうちの表面である主面5Aにおいて、その互いに対向する二つの長辺のうちの一方の長辺5A1側にこの一方の長辺5A1に沿って複数の電極6が形成されている(図2及び図3参照)。この複数の電極6の夫々は、半導体チップ4の多層配線層のうちの最上層の配線層に形成されている。最上層の配線層はその上層に形成された表面保護膜(最終保護膜)で被覆され、この表面保護膜には電極6の表面を露出するポンディング開口が形成されている。

【0020】半導体チップ4に構成されたフラッシュメモリの回路パターンは、半導体チップ5に構成されたフラッシュメモリの回路パターンと同一になっている。また、半導体チップ4の主面4A1に形成された電極6の配置パターンは、半導体チップ5の主面5A1に形成された電極6の配置パターンと同一になっている。即ち、半導体チップ4、半導体チップ5の夫々は、同一構造で構成されている。

【0021】樹脂封止体12の平面形状は方形状で形成され、本実施形態1においては例えば長方形で形成されている(図1、図2参照)。この樹脂封止体12の互いに対向する二つの長辺のうちの一方の長辺側にはこの一方の長辺に沿って複数のリード10Aが配列され、他方の長辺側にはこの他方の長辺に沿って複数のリード10Bが配列されている。複数のリード10Aの夫々は、樹脂封止体12の内外に亘って延在し、半導体チップ4の長辺4A1の外側に配置され、かつ半導体チップ4の各電極6に導電性のワイヤ11を介して電気的に接続されている(図1及び図3参照)。複数のリード10Bの夫々は、樹脂封止体12の内外に亘って延在し、半導体チップ4の長辺4A1と対向する他の長辺4A2の外側に

配置され、かつ半導体チップ5の各電極6に導電性のワイヤ11を介して電気的に接続されている。

【0022】複数のリード10A、10Bの夫々には端子名が付されている。VCC端子は電源電位(例えば5ボルト)に電位固定される電源電位端子である。VSS端子は基準電位(例えば0ボルト)に電位固定される基準電位端子である。I/Oの0端子~7端子はデータ入出力端子である。RES端子はリセット端子である。R/B端子はリーディ/ビズィ端子である。CDE端子はコマンド・データ・イネーブル端子である。OE端子は出力イネーブル端子である。SC端子はシリアル・クロック端子である。WEはライト・イネーブル端子である。CEはチップ・イネーブル端子である。NC端子は空き端子である。

【0023】半導体チップ4、5の夫々は、半導体チップ4の他方の長辺4A2及び半導体チップ5の一方の長辺5A1がリード10B側に向く(位置する)ように夫々の裏面同志を向い合わせた状態で接着層7を介在して互いに接着固定されている。即ち、半導体チップ4、5の夫々は、電極6が配列された夫々の辺が反対側に位置するように、夫々の裏面同志を向い合わせた状態で互いに接着固定され、積層構造になっている。また、半導体チップ4、5の積層体は支持リード8に支持されている。支持リード8は、半導体チップ4の主面(表面)4Aに接着層8を介在して接着固定されている。

【0024】のことから、半導体チップ4と半導体チップ5との間にはタブが存在しないので、半導体チップ4の主面4Aから半導体チップ5の主面5A(表面)までの距離を縮小することができる。また、半導体チップ4と半導体チップ5との間には一つの接着層しか存在しないので、半導体チップ4の主面4Aから半導体チップ5の主面5Aまでの距離を縮小することができる。また、支持リード8は半導体チップ4の主面4Aに接着固定されているので、支持リード8の厚さは半導体チップ4の電極6とリード10Aとを電気的に接続するワイヤ11のループ高さで相殺され、支持リード8による樹脂封止体12の厚さへの影響はない。

【0025】半導体チップ4、5の夫々は、半導体チップ4の電極6が半導体チップ5の一方の長辺5A1と対向する他方の長辺5A2よりもその外側に位置し、半導体チップ5の電極6が半導体チップ4の他方の長辺4A2よりもその外側に位置するように夫々の位置をずらした状態で接着固定されている。即ち、半導体チップ4、半導体チップ5の夫々は、電極6の配列方向に対して直行する方向に夫々の位置をずらした状態で接着固定されている。

【0026】リード10A及びリード10Bは、樹脂封止体12で封止されるインナー部(内部リード部)と樹脂封止体12の外部に導出されるアウター部(外部リード部)とで構成され、アウター部は面実装型形状として

例えばガルウイング形状に成形されている。

【0027】導電性のワイヤ11としては例えば金(Au)ワイヤが用いられている。ワイヤ11の接続方法としては、例えば熱圧着に超音波振動を併用したポンディング法を用いている。

【0028】樹脂封止体12は、低応力化を図る目的として、例えば、フェノール系硬化剤、シリコーンゴム及びフィラー等が添加されたピフェニール系の樹脂で形成されている。この樹脂封止体12は、大量生産に好適なトランスファモールディング法で形成されている。トランスタモールディング法は、ポット、ランナー、流入ゲート及びキャビティ等を備えたモールド金型を使用し、ポットからランナー及び流入ゲートを通してキャビティ内に樹脂を加圧注入して樹脂封止体を形成する方法である。

【0029】図3において、半導体チップ4、5の夫々厚さは0.24mmであり、接着層7の厚さは0.01mmであり、リード10A及び10Bの厚さは0.125mmであり、半導体チップ4の正面4Aからこの半導体チップ4の電極6とリード10Aとを電気的に接続するワイヤ11の頂部までの高さ(ループ高さ)は0.19mmであり、このワイヤ11の頂部から樹脂封止体11の上面までの間隔は0.065mmであり、樹脂封止体12の厚さは1.0mmであり、樹脂封止体12上面からリード(10A, 10B)の実装面までの高さは1.20mmである。なお、図示していないが、半導体チップ5の正面5Aからこの半導体チップ5の電極6とリード10Bとを電気的に接続するワイヤ11の頂部までの高さは0.19mmであり、このワイヤ11の頂部から樹脂封止体11の下面までの間隔は0.065mmである。

【0030】図3に示すように、前記支持リード8の接着固定位置は、リード10A, 10Bのインナー部の高さと同一平面にある。また、支持リード8の上面はワイヤ11の頂部よりも低くなっている。支持リード8は、図4に示すように、半導体チップ4の互いに対向する二つの短辺4A3及び4A4を横切るように延在している。なお、図4において、符号5A3は半導体チップ5の互いに対向する二つの短辺のうちの一方の短辺であり、符号5A4は他方の短辺である。

【0031】また、前記リード10A, 10Bのアウターパーは、図3に示すように、前記樹脂封止体11の厚さ方向において、樹脂封止体11の中心線を含む水平平面よりも上側の位置に設けられている。このように構成することにより、樹脂封止体11にかかる応力を緩和することができる。

【0032】次に、半導体装置1の製造プロセスで用いられるリードフレームについて説明する。図5に示すように、リードフレームLF1は、枠体14で規定された領域内に、複数のリード10A、複数のリード10B、

支持リード8等を配置した構成になっている。複数のリード10Aは、枠体14の互いに対向する二つの長辺部分のうちの一方の長辺部分に沿って配列され、この一方の長辺部分と一体化されている。複数のリード10Bは、枠体14の互いに対向する二つの長辺部分のうちの他方の長辺部分に沿って配列され、この他方の長辺部分と一体化されている。支持リード8は、複数のリード10Aからなるリード群と、複数のリード10Bからなるリード群との間に配置され、枠体14と一体化されている。即ち、リードフレームLF1は、二方向リード配列構造になっている。

【0033】複数のリード10Aの夫々は、樹脂封止体に封止されるインナー部と樹脂封止体の外部に導出されるアウター部とで構成され、タイバー13を介して互いに連結されている。複数のリード10Bの夫々は、樹脂封止体に封止されるインナー部と樹脂封止体の外部に導出されるアウター部とで構成され、タイバー13を介して互いに連結されている。

【0034】リードフレームLF1は、例えば鉄(Fe) - ニッケル(Ni)系の合金又は銅(Cu)若しくは銅系の合金からなる平板材にエッチング加工又はプレス加工を施して所定のリードパターンを形成することによって形成される。

【0035】前記リードフレームLF1は、その両面に半導体チップ4、5を搭載するため、現在使用している面がその表面かあるいは裏面かを明確に認識する必要がある。そこで、その使用されているリードフレームLF1の面が表面かあるいは裏面かを識別する表裏面識別記号14A、14BがリードフレームLF1の枠体14に設けられている。例えば、図6に示すように、表面側の枠体14には表面識別記号「ABC」14Aが、裏面側の枠体14には裏面識別記号「DEF」14Bが設けられている。前記表裏面識別記号14A、14Bは、例えば、図7及び図8に示すように、表裏面識別用貫通刻印14Cであってもよい。要するに、使用されているリードフレームLF1の面が表面かあるいは裏面かが識別できる記号であればどのようなものであってもよい。

【0036】このように構成することにより、フレームの枠体14の部分でも表裏両面から認識できるので、リードフレームLF1の両面に半導体チップ4、5を搭載する際の不具合を低減することができる。これにより、半導体チップ4、5の固定、リード10A、10Bの固定、ワイヤ11のポンディング等の組立工程における作業性を向上することができる。

【0037】次に、半導体装置1の製造方法について、図9乃至図12(要部断面図)を用いて説明する。まず、リードフレームLF1に一方の半導体チップ4を接着固定する。リードフレームLF1と半導体チップ4との固定は、図9に示すように、ヒートステージ20に半導体チップ4を装着し、その後、半導体チップ4の正面

4 Aに例えれば熱硬化性樹脂からなる接着剤を塗布して接着層9を形成し、その後、半導体チップ4の主面4 Aに支持リード8をポンディングツール2 1で圧着することによって行われる。

【0038】次に、半導体チップ4の電極6とリード1 0 Aとを導電性のワイヤ1 1で電気的に接続する。半導体チップ4の電極6とリード1 0 Aとの接続は、図10に示すように、ヒートステージ2 2に半導体チップ4を装着し、その後、ヒートステージ2 2にリード1 0 A及びリード1 0 Bをフレーム押さえ部材2 3で押さえ付けた状態で行なわれる。ワイヤ1 1としては例えばA uワイヤを用いる。また、ワイヤ1 1の接続方法としては例えば熱圧着に超音波振動を併用したポンディング法を用いる。

【0039】次に、半導体チップ4に半導体チップ5を接着固定する。半導体チップ4と半導体チップ5との固定は、図11に示すように、ヒートステージ2 3に半導体チップ4をその主面4 Aを下にして装着し、その後、半導体チップ4の裏面に例えばA gペースト材からなる接着剤を塗布して接着層7を形成し、その後、半導体チップ4の裏面上に半導体チップ5をその裏面を下にして装着することによって行なわれる。この時、半導体チップ4の一方の長辺4 A 1に対して半導体チップ5の一方の長辺5 A 1が反対側に位置するように向きを揃えた状態で半導体チップ4、半導体チップ5の夫々の裏面同志を向い合わせて接着固定する。

【0040】また、半導体チップ4の電極6が半導体チップ5の他方の長辺5 A 2よりもその外側に位置し、半導体チップ5の電極6が半導体チップ4の他方の長辺4 A 2よりもその外側に位置するように位置をずらした状態で半導体チップ4、半導体チップ5の夫々の裏面同志を向い合わせて接着固定する。

【0041】なお、この工程において、半導体チップ4はその主面4 Aを下にした状態でヒートステージ2 3に装着されるので、ヒートステージ2 3とワイヤ1 1との接触を防止するため、ヒートステージ2 3には窪み2 3 Aが設けられている。

【0042】次に、半導体チップ5の電極6とリード1 0 Bとを導電性のワイヤ1 1で電気的に接続する。半導体チップ5の電極6とリード1 0 Bとの接続は、図12に示すように、半導体チップ5の主面5 Aを上向きにしてヒートステージ2 4に半導体チップ4及び半導体チップ5を装着し、その後、ヒートステージ2 4にリード1 0 A及びリード1 0 Bをフレーム押さえ部材2 5で押えつけた状態で行なわれる。ワイヤ1 1としては例えばA uワイヤを用いる。

【0043】また、ワイヤ1 1の接続方法としては例えば熱圧着に超音波振動を併用したポンディング法を用いる。この工程において、半導体チップ5の電極6と対向する裏面の領域が露出しているので、この裏面の領域に

接觸するように突出部2 5 Bをヒートステージ2 4に設けておくことにより、半導体チップ5の電極と対向する裏面の領域をヒートステージ2 4に直に接觸させることができる。

【0044】即ち、半導体チップ4の電極6が半導体チップ5の他方の長辺5 A 2よりもその外側に位置し、半導体チップ5の電極6が半導体チップ4の他方の長辺4 A 2よりもその外側に位置するように位置をずらした状態で半導体チップ4、半導体チップ5の夫々の裏面同志を接着固定することにより、半導体チップ5の電極6と対向する裏面の領域をヒートステージ2 4に直に接觸させることができ、ヒートステージ2 4の熱が半導体チップ5の電極6に有効に伝達されるので、半導体チップ5の電極6とワイヤ1 1との接続不良を低減することができる。

【0045】なお、この工程において、半導体チップ4はその主面4 Aを下にした状態でヒートステージ2 4に装着されるので、ヒートステージ2 4とワイヤ1 1との接觸を防止するため、ヒートステージ2 4には窪み2 4 Aが設けられている。

【0046】次に、半導体チップ4、半導体チップ5、支持リード8、リード1 0 Aのインナー部、リード1 0 Bのインナー部及びワイヤ1 1等を樹脂で封止して樹脂封止体1 2を形成する。樹脂封止体1 2の形成はトランスマーチャンダイジング法で行う。

【0047】次に、リード1 0 Aに連結されたタイバー1 3及びリード1 0 Bに連結されたタイバー1 3を切断し、その後、リード1 0 A、リード1 0 Bの夫々のアウター部にメッキ処理を施し、その後、リードフレームLF 1の枠体1 4からリード1 0 A及び1 0 Bを切断し、その後、リード1 0 A、1 0 Bの夫々のアウター部を面実装型形状として例えばガルウィング形状に成形し、その後、リードフレームLF 1の枠体1 4から支持リード8を切断することにより、図1、図2及び図3に示す半導体装置1がほぼ完成する。

【0048】このようにして構成された半導体装置1は、図13(要部断面図)に示すように、1つの回路システムを構成する電子装置の構成部品として実装基板3 0に複数個実装される。半導体装置1は、同一機能のリードが対向して配置されているので、リード1 0 Aとリード1 0 Bとを電気的に接続するための配線3 1を直線的に引き回すことができる。また、半導体装置1のリード1 0 Bと他の半導体装置1のリード1 0 Aとを電気的に接続するための配線3 1を直線的に引き回すことができる。従って、実装基板3 0の配線層数を低減することができるので、電子装置、例えばメモリーモジュール等の薄型化を図ることができる。

【0049】以上説明したように、本実施形態1によれば以下の効果が得られる。

50 (1) 半導体チップ4、半導体チップ5の夫々は、半導

体チップ4の一方の長辺4A2及び半導体チップ5の一方の長辺5A1がリード10B側に向くように夫々の裏面同志を向い合わせた状態で互いに接着固定され、支持リード8は半導体チップ4の主面4A1に接着固定されている。このことから、半導体チップ4と半導体チップ5との間にはタブが存在しないので、半導体チップ4の主面4Aから半導体チップ5の主面5Aまでの距離を縮小することができる。また、半導体チップ4と半導体チップ5との間には一つの接着層しか存在しないので、半導体チップ4の主面4Aから半導体チップ5の主面5Aまでの距離を縮小することができる。また、支持リード8は半導体チップ4の主面4Aに接着固定されているので、支持リード8の厚さはワイヤ11のループ高さで相殺され、支持リード8による樹脂封止体12の厚さへの影響はない。この結果、樹脂封止体12の厚さを薄くすることができるので、半導体装置1の薄型化を図ることができる。

【0050】また、半導体チップ(4, 5)の厚さを薄くすることなく、樹脂封止体12の厚さを薄くすることができるので、歩留まりの高い薄型の半導体装置1を提供することができる。

【0051】また、樹脂封止体12の厚さを薄くすることができるので、二つの半導体チップ(4, 5)を積層し、この二つの半導体チップを一つの樹脂封止体12で封止した半導体装置1をT S O P型で構成することができる。

【0052】また、二枚のリードフレームを使用する必要がなく、更にミラー反転回路パターンの半導体チップを使用する必要がないので、半導体装置1の低コスト化及び薄型化を図ることができる。

【0053】(2) 半導体チップ4、半導体チップ5の夫々は、半導体チップ4の電極6が半導体チップ5の他方の長辺5A2よりもその外側に位置し、半導体チップ5の電極6が半導体チップ4の他方の長辺4A2よりもその外側に位置するように夫々の位置をずらした状態で接着固定されている。このことから、ワイヤボンディング工程において、半導体チップ5の電極6と対向する裏面の領域をヒートステージ24に直に接触させることができ、ヒートステージ24の熱が半導体チップ5の電極6に有効に伝達されるので、半導体チップ5の電極6とワイヤ11との接続不良を低減することができる。この結果、半導体装置1の製造プロセス(組立プロセス)における歩留まりを高めることができる。

【0054】(3) リードフレームLF1は、その両面に半導体チップ4、5を搭載するために、その使用されているリードフレームLF1の面が表面があるいは裏面かを識別する表裏面識別記号14A、14B、14CをリードフレームLF1の枠体14に設けることにより、リードフレームLF1の枠体14の部分であってもその表裏両面を認識できるので、リードフレームLF1の両

面に半導体チップ4、5を搭載する際の不具合を低減することができる。これにより、半導体チップ4、5の固定、リード10A、10Bの固定やワイヤ11のボンディング等の組立工程における作業性を向上することができる。

【0055】なお、本実施形態1では、半導体チップ4の主面4Aに支持リード8を接着固定した例について説明したが、支持リード8は、半導体チップ5の主面5Aに接着固定してもよい。この場合、支持リード8には、10そのチップ固定部を半導体チップ5の主面5A側に位置させるための折り曲げ加工が施される。また、このような場合においても、支持リード8の厚さは、半導体チップ5の電極6とリード10Bとを電気的に接続するワイヤ11のループ高さで相殺されるので、支持リード8による樹脂封止体12の厚さへの影響はない。

【0056】(実施形態2) 図14は本発明の実施形態2である半導体装置の樹脂封止体の上部を除去した状態の平面図であり、図15は図14のC-C線に沿う模式的断面図であり、図16は図14のD-D線に沿う模式的断面図である。図14、図15及び図16に示すように、本実施形態2の半導体装置2は、前述の実施形態1と基本的に同様の構成になっており、以下の構成が異なっている。

【0057】即ち、半導体チップ4、半導体チップ5の夫々は、半導体チップ4の一方の長辺4A1と交わる一方の短辺4A3がこの一方の短辺4A3と同一側であつて半導体チップ5の一方の長辺5A1と交わる一方の短辺5A3よりもその外側に位置し、半導体チップ5の一方の短辺5A3と対向する他方の短辺5A4がこの他方の短辺5A4と同一側であつて半導体チップ4の一方の短辺4A3と対向する他方の短辺4A4よりも外側に位置するように夫々の位置をずらした状態で接着固定されている。即ち、半導体チップ4、半導体チップ5の夫々は、電極6の配列方向に夫々の位置をずらした状態で接着固定されている。

【0058】また、半導体チップ4の一方の短辺4A3及び半導体チップ5の一方の短辺5A3の外側に配置された支持リード8Aと、半導体チップ4の他方の短辺4A4及び半導体チップ5の他方の短辺5A4の外側に配置された支持リード8Bとを有し、支持リード8Aは、半導体チップ5の他方の短辺5A4の外側において半導体チップ4の裏面に接着層7を介在して接着固定され、支持リード8Bは、半導体チップ4の他方の短辺4A4の外側において半導体チップ5の裏面に接着層7を介在して接着固定されている。

【0059】支持リード8Aには、半導体チップ4の裏面側にそのチップ固定部を位置させるための折り曲げ加工が施され、支持リード8Bには、半導体チップ5の裏面側にそのチップ固定部を位置させるための折り曲げ加工が施されている。

【0060】このように構成された半導体装置2は、図17(平面図)に示すリードフレームLF2を用いた製造プロセスで製造される。本実施形態の半導体装置2の製造は、前述の実施形態1で説明した製造方法と若干異なり、半導体チップ4、半導体チップ5の夫々を夫々の裏面同志を向い合わせた状態で接着固定し、支持リード8A、支持リード8Bの夫々に半導体チップ4、半導体チップ5の夫々を接着固定した後、ワイヤボンディングを行う。支持リードと半導体チップとの固定は、支持リード8Aと支持リード8Bとの間に、接着固定された半導体チップ4及び半導体チップ5を傾斜させて挿入することにより行うことができる。

【0061】ワイヤボンディング工程は、半導体チップ4の電極6とリード10Aとをワイヤ11で電気的に接続し、その後、半導体チップ5の電極6とリード10Bとワイヤ11で電気的に接続することによって行うが、半導体チップ4、半導体チップ5の夫々は、電極6の配列方向に夫々の位置をずらした状態で接着固定されているので、半導体チップ4の電極6とリード10Aとをワイヤ11で接続する時、直ではないが、半導体チップ4の他方の短辺4A3側の領域と対向する裏面の領域に支持リード8Aを介在してヒートステージを接触させることができる。また、半導体チップ5の電極6とリード10Bとをワイヤ11で接続する時、直ではないが、半導体チップ5の他方の短辺5A3側の領域と対向する裏面の領域に支持リード8Bを介在してヒートステージを接触させることができる。

【0062】このように、半導体チップ4、半導体チップ5の夫々は、半導体チップ4の一方の短辺4A3が半導体チップ5の一方の短辺5A3よりもその外側に位置し、半導体チップ5の他方の短辺5A4が半導体チップ4の他方の短辺4A4よりもその外側に位置するように夫々の位置をずらした状態で互いに接着固定され、支持リード8Aは、半導体チップ5の一方の短辺5A3外側において半導体チップ4の裏面に接着固定され、支持リード8Bは、半導体チップ4の他方の短辺4A4の外側において半導体チップ5の裏面に接着固定されていることから、半導体チップ4と半導体チップ5との間にはタブが存在しないので、半導体チップ4の主面4Aから半導体チップ5の主面5Aまでの距離を縮小することができる。また、半導体チップ4と半導体チップ5との間には一つの接着層しか存在しないので、半導体チップ4の主面4Aから半導体チップ5の主面5Aまでの距離を縮小することができる。また、支持リード8Aは半導体チップ5の一方の短辺5A3よりもその外側に引き出された半導体チップ4の裏面に接着固定され、支持リード8Bは半導体チップ4の他方の短辺4A4よりもその外側に引き出された半導体チップ5の裏面に接着固定されているので、支持リード8A、8Bの夫々の厚さは半導体チップ4の主面4Aから半導体チップ5の主面5Aまで

の厚さで相殺され、支持リード8A、8Bによる樹脂封止体12の厚さへの影響はない。この結果、前述の実施形態1と同様の効果が得られる。

【0063】また、半導体チップ4、半導体チップ5の夫々は、半導体チップ4の一方の長辺4A1と交わる一方の短辺4A3がこの一方の短辺4A3と同一側であって半導体チップ5の一方の長辺5A1と交わる一方の短辺5A3よりもその外側に位置し、半導体チップ5の一方の短辺5A3と対向する他方の短辺5A4がこの他方の短辺5A4と同一側であって半導体チップ4の一方の短辺4A3と対向する他方の短辺4A4よりも外側に位置するように夫々の位置をずらした状態で接着固定されていることから、ワイヤボンディング工程において、半導体チップ4の裏面とヒートステージ24との接触面積が増加するので、ワイヤボンディング工程における半導体チップ4の加熱時間を短縮することができる。また、半導体チップ5の裏面とヒートステージ24との接触面積が増加するので、ワイヤボンディング工程における半導体チップ5の加熱時間を短縮することができる。この結果、半導体装置2の生産効率を高めることができる。

【0064】(実施形態3) 図18は本発明の実施形態3である半導体装置の樹脂封止体の上部を除去した状態の平面図であり、図19は図18のE-E線に沿う模式的断面図である。図18、図19に示すように、本実施形態3の半導体装置3は、前述の実施形態2と基本的に同様の構成になっており、以下の構成が異なっている。

【0065】即ち、支持リード8Aは、半導体チップ4の主面4Aにおいてその一方の短辺4A3側に接着固定され、支持リード8Bは、半導体チップ5の主面5Aにおいてその他方の短辺5A4側に接着固定されている。

【0066】支持リード8Aには折り曲げ加工が施されていないが、支持リード8Bには、半導体チップ5の主面5A側にそのチップ固定部を位置させるための折り曲げ加工が施されている。

【0067】このように構成された半導体装置3は、図20(平面図)に示すリードフレームLF3を用いた製造プロセスで製造される。本実施形態3の半導体装置3の製造は、前述の実施形態2で説明した製造方法と同様に、半導体チップ4、半導体チップ5の夫々を夫々の裏面同志を向い合わせた状態で接着固定し、支持リード8A、支持リード8Bの夫々に半導体チップ4、半導体チップ5の夫々を接着固定した後、ワイヤボンディングを行う。支持リードと半導体チップとの固定は、支持リード8Aと支持リード8Bとの間に、接着固定された半導体チップ4及び半導体チップ5を傾斜させて挿入することにより行うことができる。

【0068】ワイヤボンディング工程は、半導体チップ4の電極6とリード10Aとをワイヤ11で電気的に接続し、その後、半導体チップ5の電極6とリード10Bとをワイヤ11で電気的に接続することによって行う

が、半導体チップ4、半導体チップ5の夫々は、電極6の配列方向に夫々の位置をずらした状態で接着固定されており、支持リード8Aは半導体チップ4の主面4Aにおいて一方の短辺4A3側に接着固定され、支持リード8Bは半導体チップ5の主面5Aにおいて他方の短辺5A4側に接着固定されているので、半導体チップ4の電極6とリード10Aとをワイヤ11で接続する時、半導体チップ4の一方の短辺4A3側の領域と対向する裏面の領域にヒートステージを直に接触させることができる。また、半導体チップ5の電極6とリード10Bとをワイヤ11で接続する時、半導体チップ5の他方の短辺5A3側の領域と対向する裏面の領域にヒートステージを直に接触させることができる。

【0069】このように、支持リード8Aは、半導体チップ4の主面4Aにおいてその一方の短辺4A3側に接着固定され、支持リード8Bは、半導体チップ5の主面5Aにおいてその他方の短辺5A4側に接着固定されていることから、半導体チップ4と半導体チップ5との間にはタブが存在しないので、半導体チップ4の主面4Aから半導体チップ5の主面5Aまでの距離を縮小することができる。また、半導体チップ4と半導体チップ5との間には一つの接着層しか存在しないので、半導体チップ4の主面4Aから半導体チップ5の主面5Aまでの距離を縮小することができる。また、支持リード8Aは、半導体チップ4の主面4Aにおいてその一方の短辺4A3側に接着固定され、支持リード8Bは、半導体チップ5の主面5Aにおいてその他方の短辺5A4側に接着固定されているので、支持リード8Aの厚さは半導体チップ4の電極6とリード10Aとを電気的に接続するワイヤ11のループ高さで相殺され、支持リード8Bの厚さは半導体チップ5の電極6とリード10Bとを電気的に接続するワイヤ11のループ高さで相殺される。従つて、支持リード8A、8Bによる樹脂封止体12の厚さへの影響はない。この結果、前述の実施形態2と同様の効果が得られる。

【0070】なお、前述の実施形態1においても、本実施形態3と同様に、電極6の配列方向に位置をずらした状態で半導体チップ4、半導体チップ5の夫々の裏面同志を接着固定してもよい。この場合においても、本実施形態3と同様に、半導体チップ4の裏面とヒートステージとの接触面積が増加するので、ワイヤボンディング工程における半導体チップ4の加熱時間を短縮することができる。また、半導体チップ5の裏面とヒートステージとの接触面積が増加するので、ワイヤボンディング工程における半導体チップ5の加熱時間を短縮することができる。

【0071】以上、本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

ある。

【0072】例えば、本発明は、二方向リード配列構造であるS O J (Small Outline J-leaded Package)型、S O P (Small Outline Package)型等の半導体装置に適用できる。また、本発明は、四方向リード配列構造であるQ F P (Quad Flatpack Package)型、Q F J (Quad Flatpack J-leaded Package)型等の半導体装置に適用できる。

【0073】

10 【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

(1) 二つの半導体チップを積層し、この二つの半導体チップを一つの樹脂封止体で封止する半導体装置の薄型化を図ることができる。

(2) 二つの半導体チップを積層し、この二つの半導体チップを一つの樹脂封止体で封止する半導体装置において、リードフレーム一個で二つの半導体チップに設けられた電極に対応することができる。

20 (3) 半導体装置の組立工程における作業性を向上することができる。

(4) 半導体装置の歩留まりを高めることができる。

【図面の簡単な説明】

【図1】本発明の実施形態1である半導体装置の樹脂封止体の上部を除去した状態の平面図である。

【図2】前記半導体装置の樹脂封止体の下部を除去した状態の底面図である。

【図3】図1に示すA-A線に沿う模式的断面図である。

30 【図4】図1に示すB-B線に沿う模式的断面図である。

【図5】前記半導体装置の製造プロセスで用いられるリードフレームの平面図である。

【図6】前記リードフレームの表裏面識別記号の実施例を説明するための平面図である。

【図7】前記リードフレームの表裏面識別記号の別の実施例を説明するための平面図である。

【図8】前記リードフレームの表裏面識別記号の別の実施例を説明するための平面図である。

40 【図9】前記半導体装置の製造方法を説明するための模式的断面図である。

【図10】前記半導体装置の製造方法を説明するための模式的断面図である。

【図11】前記半導体装置の製造方法を説明するための模式的断面図である。

【図12】前記半導体装置の製造方法を説明するための模式的断面図である。

【図13】前記半導体装置を実装基板に実装した状態の要部断面図である。

50 【図14】本発明の実施形態2である半導体装置の樹脂

封止体の上部を除去した状態の平面図である。

【図15】図11に示すC-C線に沿う模式的断面図である。

【図16】図11に示すD-D線に沿う模式的断面図である。

【図17】前記半導体装置の製造プロセスで用いられるリードフレームの平面図である。

【図18】本発明の実施形態3である半導体装置の樹脂封止体の上部を除去した状態の平面図である。

【図19】図15に示すE-E線に沿う模式的断面図で

ある。

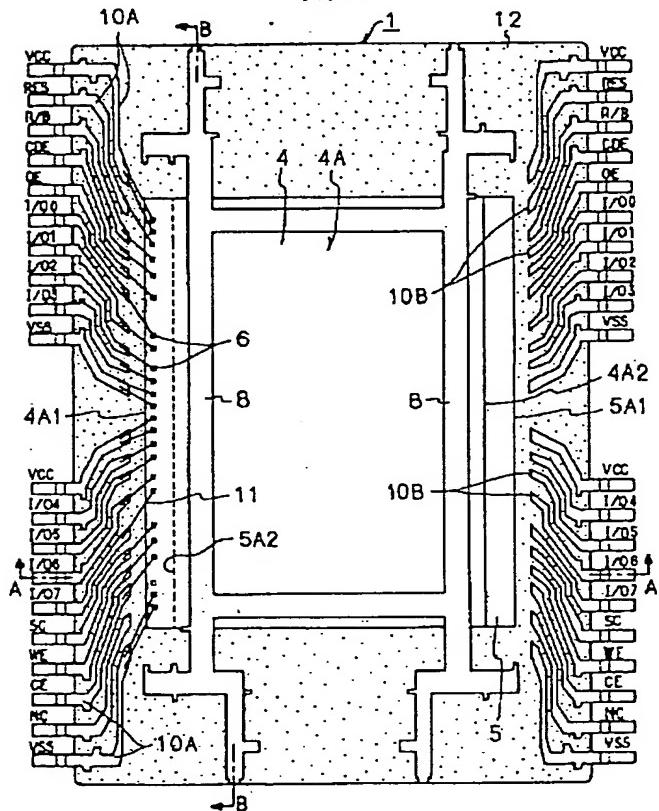
【図20】前記半導体装置の製造プロセスで用いられるリードフレームの平面図である。

## 【符号の説明】

1, 2, 3…半導体装置、4, 5…半導体チップ、6…電極、7…接着層、8, 8A, 8B…支持リード、9…接着層、10A, 10B…リード、11…ワイヤ、12…樹脂封止体、LF1, LF2, LF3…リードフレーム、14…リードフレーム枠体、14A, 14B, 14C…リードフレームの表裏面識別記号。

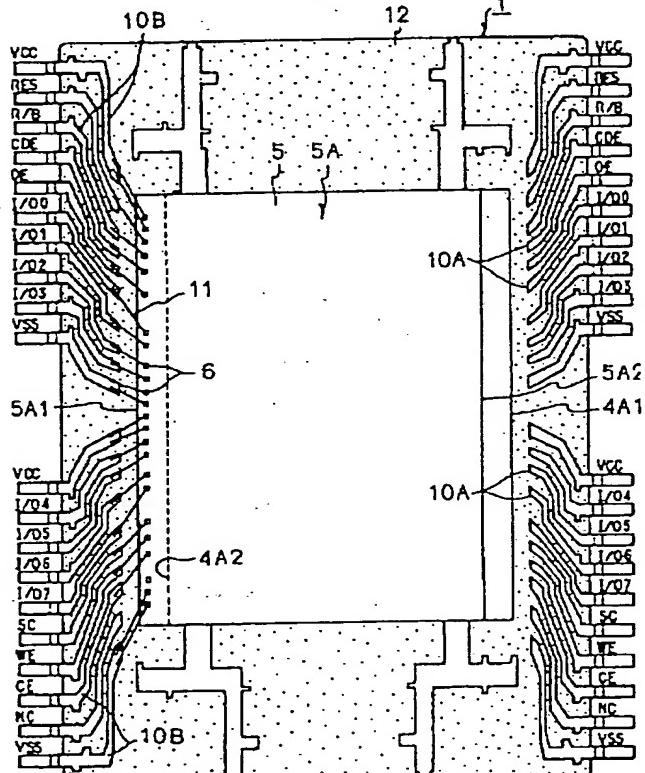
[图 1]

1



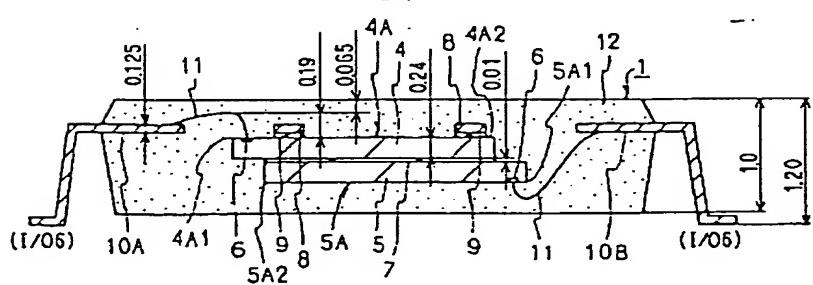
[図2]

2



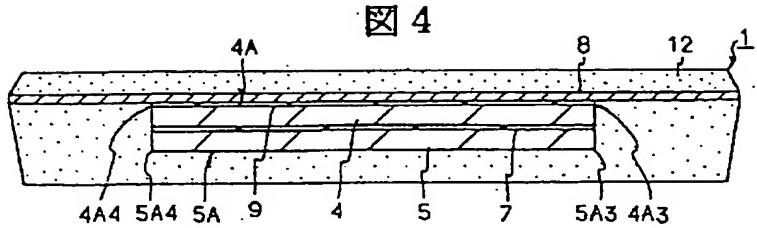
〔図3〕

3

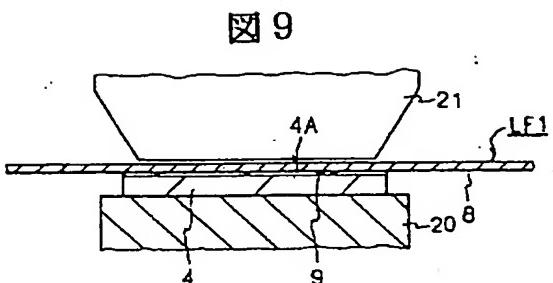


(特開2000-156464 (P2000-156464

【図4】

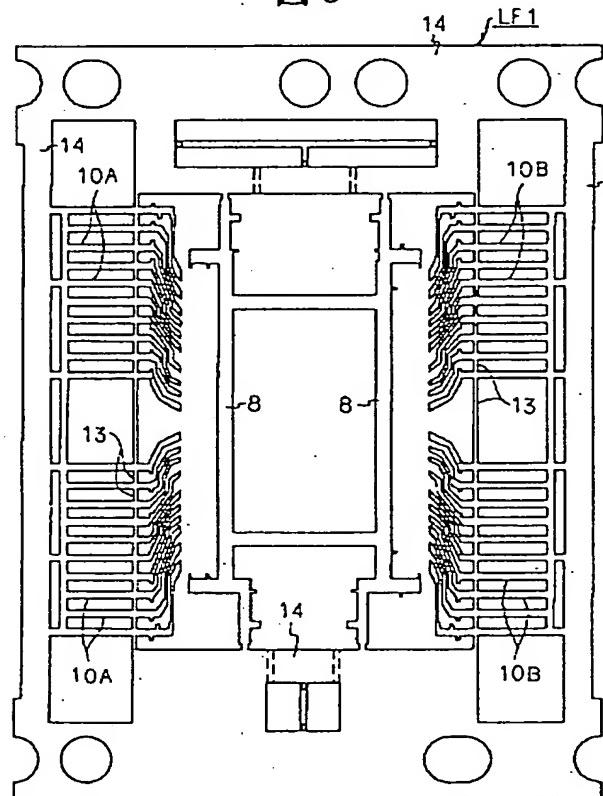


【図9】

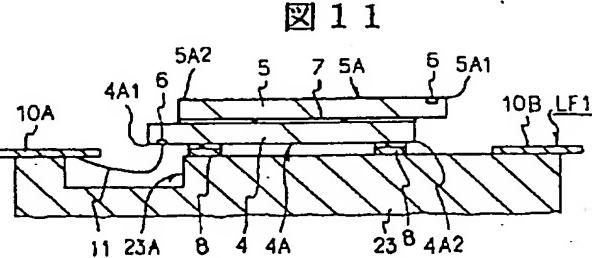


【図5】

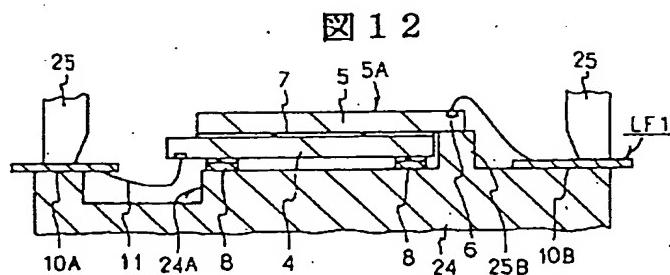
図5



【図11】

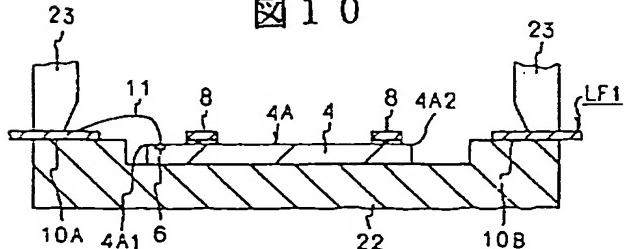


【図12】



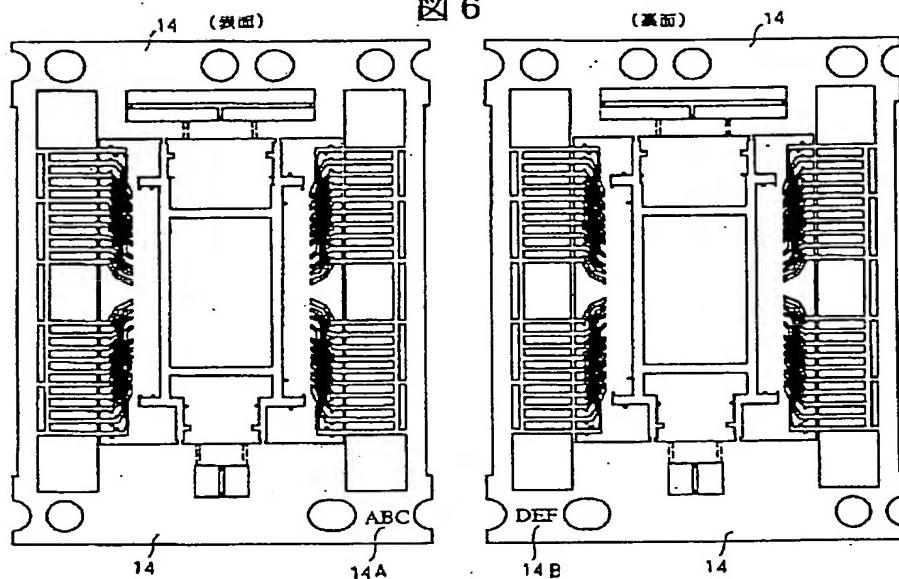
【図10】

図10



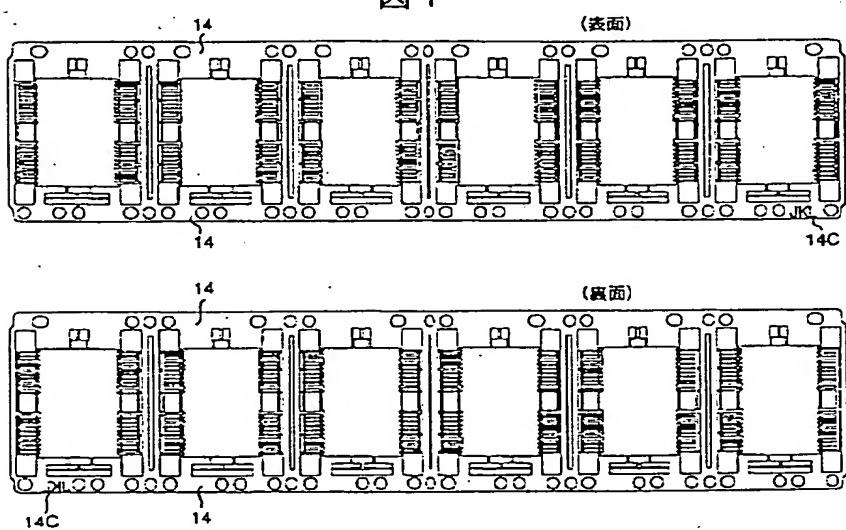
【図6】

図6



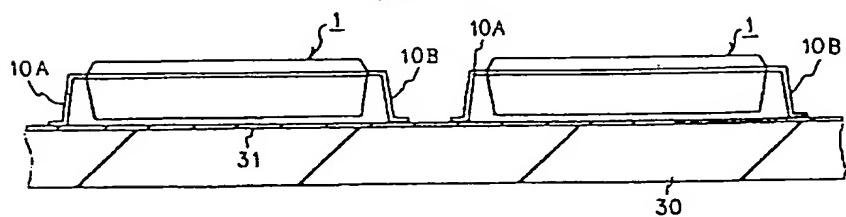
【図7】

図7



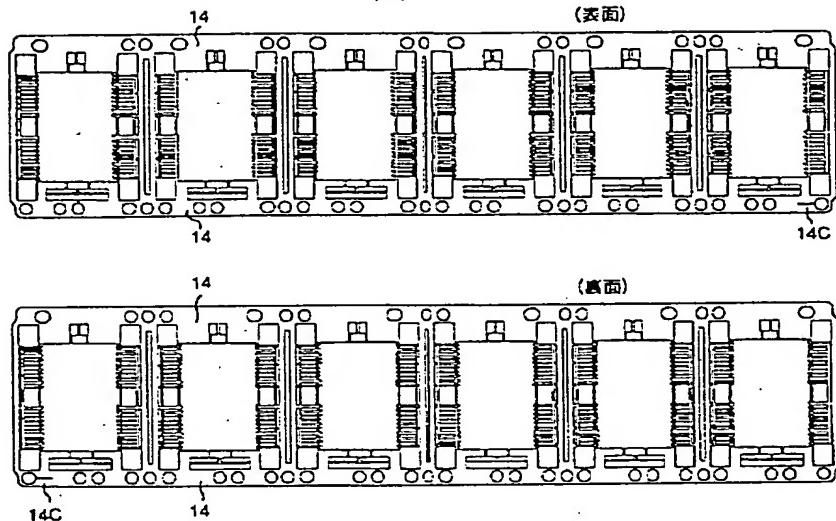
【図13】

図13



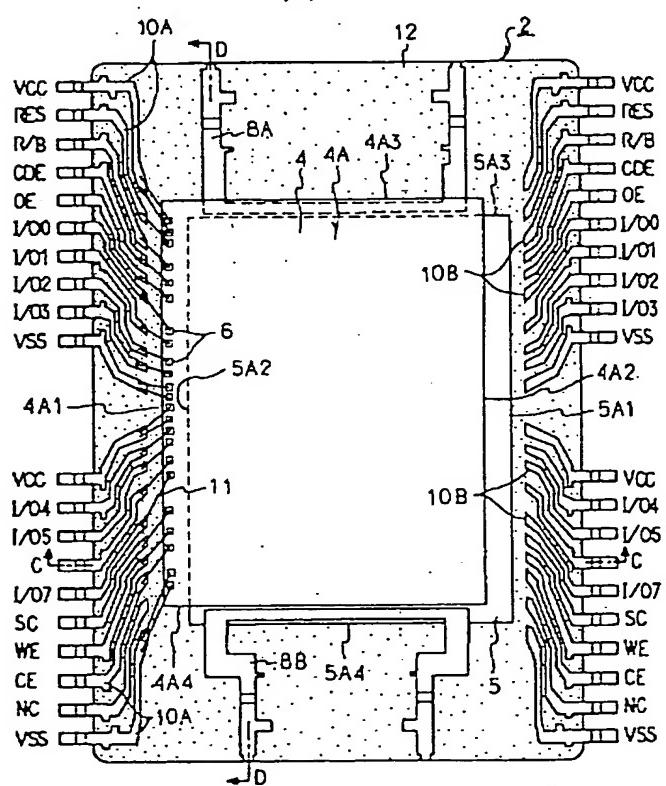
【図8】

図8



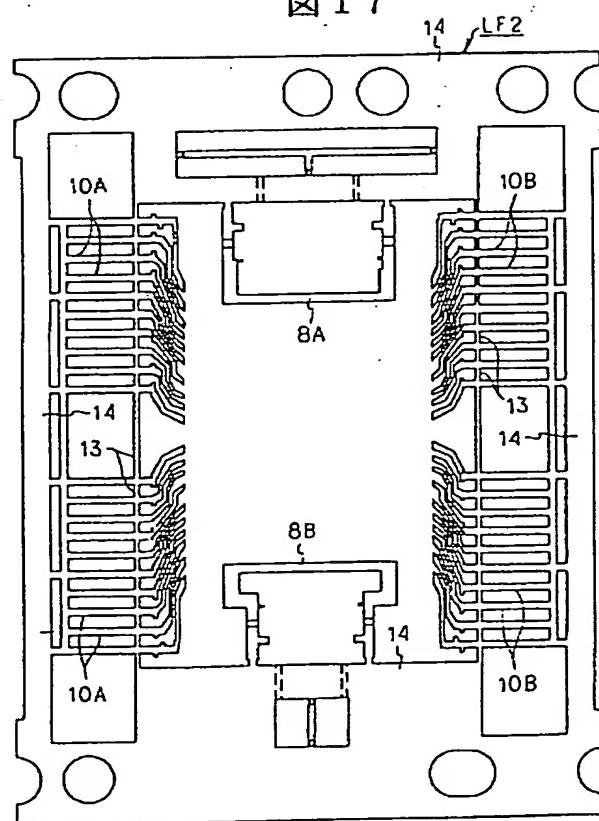
【図14】

図14

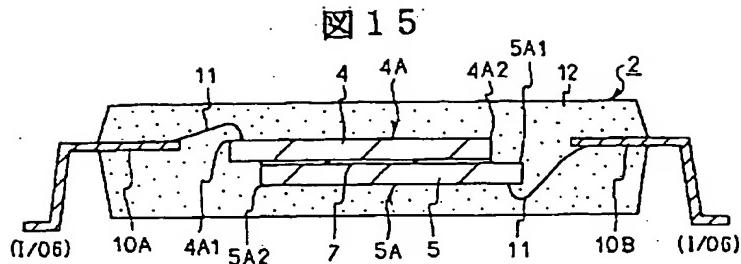


【図17】

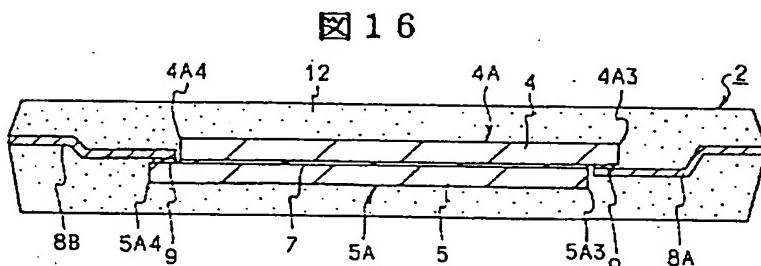
図17



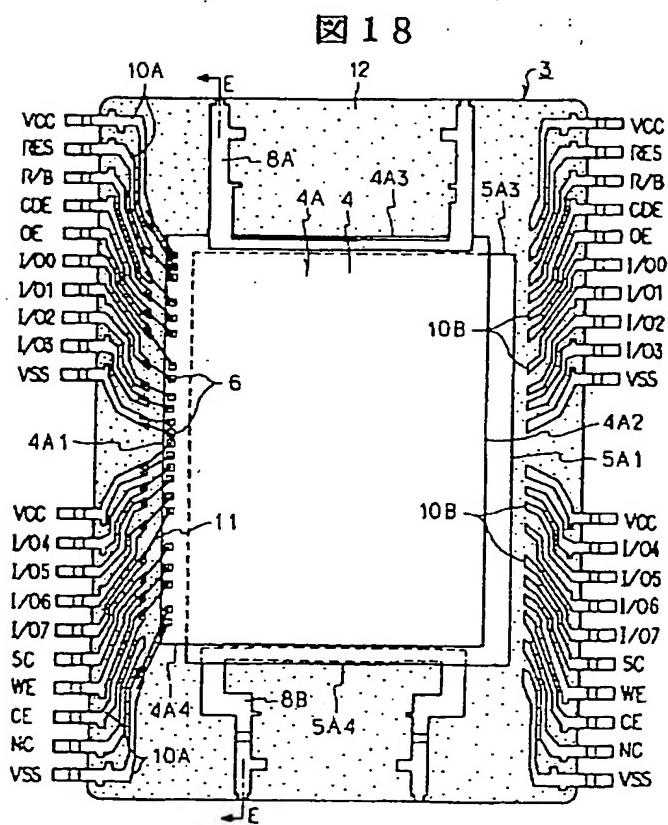
【図15】



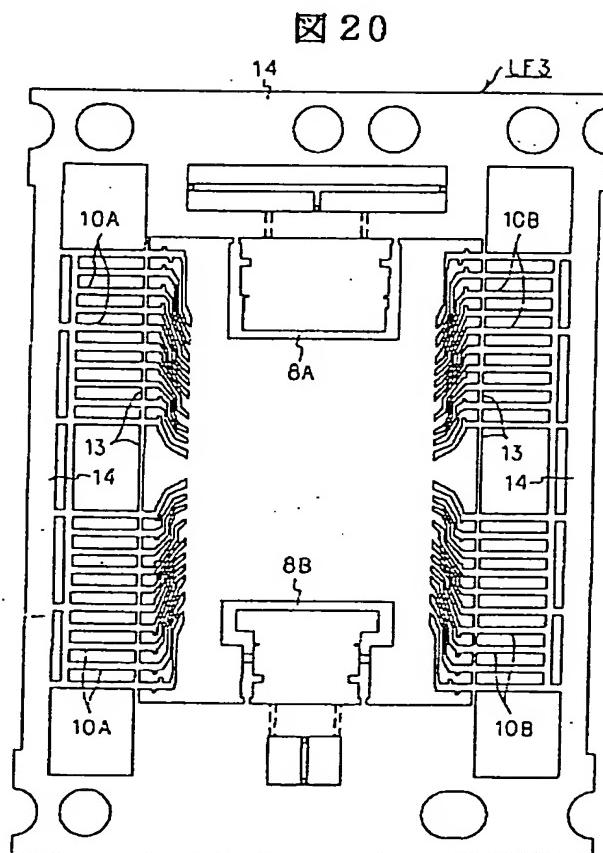
【図16】



【図18】



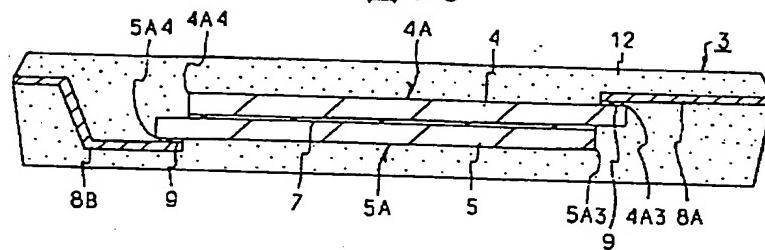
【図20】



(特開2000-156464 (P2000-156464

【図19】

図19



---

フロントページの続き

(51) Int.CI.7

識別記号

F I

テ-レコ-ト\*(参考)

H O 1 L 23/50

(72)発明者 増田 正親

東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体事業本部内

(72)発明者 井手 琢二

東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体事業本部内

(72)発明者 藤岡 俊一郎

東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体事業本部内

F ターム(参考) 5F044 AA20 EE02 GG07

5F067 AA01 AA02 AB02 BA06 BE02  
CB00 DE01 DF16